

石原 宏 「新材料を用いた高機能シリコン集積回路の創製」

ISHIWARA Hiroshi “Creation of Highly Functional Silicon ICs Using New Materials”

1. 略歴：

1945 年 11 月 6 日生

1968 年 東京工業大学 理工学部 電子工学科 卒業

1973 年 同 大学院理工学研究科 電子工学専攻 博士課程修了
工学博士

1973 年 同 工学部 助手

1976 年 同 大学院総合理工学研究科 助教授

1989 年 同 精密工学研究所 教授

1998 年 同 フロンティア創造共同研究センター 教授

2004 年 同 大学院総合理工学研究科長・教授

2006 年 同 大学院総合理工学研究科 教授

2008 年 応用物理学会 会長（-2009）

2008 年 日本学術会議 第 3 部 会員（電気電子工学委員会）（-2014）

2010 年 韓国 建国大学 WCU (World Class Univ.) 教授（-2013）

2011 年 東京工業大学 名誉教授



瑞宝中綬章 (2019)、Mater. Res. Soc. Fellow (2011)、電気学会 フェロー (2011)、応用物理学会 名誉会員 (2011)、産学連携功労者表彰 日本経団連会長賞 (2011)、SSDM Award (2008)、Nano Korea 科学技術大臣 (副首相) 賞 (2007)、紫綬褒章 (2003)、応用物理学会論文賞 (2003)、電子情報通信学会 フェロー (2002)、IEEE Fellow (2001)、市村学術賞功績賞 (1994)、井上学術賞 (1994)、日本 IBM 科学賞 (1990)

2. 研究業績要約

石原の研究は、シリコン (Si) 集積回路に新しい導電材料、絶縁材料、誘電材料などを導入し、回路の機能性を高めることを目的として行われた。2.1 節では、Si 基板上に良好に単結晶成長する膜材料を探索し、導電膜としては珪化コバルト (CoSi_2) が、絶縁膜としては螢石 (CaF_2) が優れていることを明らかにした。これらの新しい材料を用いて導電膜や絶縁膜を単結晶化すると、集積回路の性能が向上すると共に、トランジスタを積層した 3 次元集積回路が実現できるものと期待される。次に 2.2 節では、タンタル酸ビスマストロンチウム ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) などの強誘電体をゲート絶縁膜として用いるメモリ型トランジスタが、ニューラルネットワークにおけるシナプス結合の重み記憶に有用なことを指摘し、実験的にもこのトランジスタを集積化したニューロチップが、回路を使用している間に動作特性が徐々に変化する適応学習機能を示すことを明らかにし

た。さらに 2.3 節では、強誘電体ゲートトランジスタの材料ならびに構造の最適化により、データ保持期間が大幅に改善されること、強誘電特性やリーク電流特性の改善により、メモリの低電圧動作が可能になることなどを明らかにした。強誘電体メモリは、消費電力が少なく、かつ電源を切っても記憶内容が消えない（不揮発性）という特徴があるため、現在では非接触 IC カードやスマート電力メーター用のメモリとして広く用いられている。

2. 1 シリコンヘテロ構造デバイスに関する研究

石原が半導体集積回路の高性能化、高機能化に関する研究を開始した 1970 年代後半にあっては、半導体デバイスに用いられる絶縁膜、導電膜は非晶質材料、あるいは多結晶材料から構成されていた。このような中で、石原は半導体デバイスの動作において従来は副次的と考えられてきた導電材料、絶縁材料、誘電材料などの重要性にいち早く着目し、これらの材料を高機能化することにより、半導体集積回路の性能が大幅に向上し、さらには新しい機能を持った集積回路が作製できることを示した。半導体デバイスにおけるこのような半導体以外の材料の重要性は、デバイス作製のための微細加工技術が限界に近づきつつある現在では広く認識されているが、その重要性を微細加工技術が全盛の 40 年以上前に見通し、着実に成果を積み上げてきたことは、国際的に見ても画期的と言える。

石原は、先ず半導体デバイス中では非晶質材料や多結晶材料から構成されていた絶縁膜や導電膜を単結晶化することにより、新しいデバイス構造が実現できることを示した。具体的には、文献調査に基づき、絶縁材料としては CaF_2 が、導電材料としては CoSi_2 が優れていることを予測し、基板温度などの成膜条件を最適化することにより、Si 基板上にこれらの膜が単結晶成長することを明らかにした。さらに、これらの単結晶膜上に Si 膜を単結晶成長させることにも成功し、単結晶 Si 中に単結晶の絶縁膜や導電膜が埋め込まれた構造を世界で初めて実現した【1,2】。

石原が研究を始めた当時は、 CoSi_2 のような金属珪化物に注目する研究者はほとんどいなかったが、その後耐熱性の高い導電材料として注目され、現在では集積回路中の電極材料として広く実用化されている。また、Si 中に絶縁膜を埋め込んだ構造は、SOI（絶縁物上の Si）構造と呼ばれ、集積回路の高速化と低消費電力化を図る上で重要な構造になっている。

この研究を契機に、またその後の高温超伝導材料の発見などとも相俟って、電気的特性や磁気的特性が大きく異なる材料を単結晶薄膜として積層した構造（ヘテロ構造）は、現在では一般的に作製されている。しかし、現在まで Si 基板上に石原の見出した材料以上に良好に単結晶成長する材料は、絶縁膜、導電膜共に見出されていない。また、この単結晶ヘテロ構造は、界面の電気的特性に関する知見を飛躍的に発展させただけでなく、高速動作に適した量子効果デバイスや電子の持つスピン情報を利用するスピントロニクスデバイスにおいて、高性能化のために必要不可欠な構造になっている。

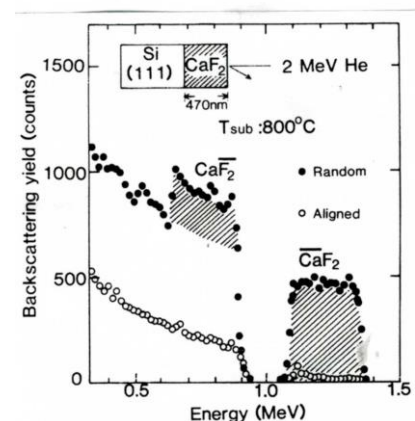


図 1 CaF_2/Si 構造の後方散乱スペクトル。単結晶化により整軸収量が減少している²⁾

2. 2 強誘電体メモリを用いた学習型ニューロチップの研究

誘電体膜に関しては、キャパシタを構成して電圧を印加すると、電圧を0に戻しても電極に電荷が残留する強誘電体膜に着目し、計算機の動作速度に合わせて低消費電力で情報を読み書きでき、かつ電源を切っても記憶内容が消えない（不揮発性）強誘電体メモリに関する研究を行った。強誘電体メモリには、強誘電体キャパシタに情報を記憶するキャパシタ型と、強誘電体ゲートトランジスタ（ゲート材料が強誘電体からなるトランジスタ）に記憶するトランジスタ型とがある。トランジスタ型は、比例縮小則に基づく微細化や高速読み出しが可能という特徴があるため、古くから研究されてきたが、強誘電体ゲートトランジスタの作製が難しく、研究は半ば放置されてきた。そのため、非接触 IC カードやスマート電力メーター用のメモリとして実用化されているのはキャパシタ型である。

石原は、この強誘電体ゲートトランジスタをアナログメモリとして使用し、人工ニューラルネットワークにおけるシナプス結合の重み記憶に用いることを提案した。さらに、パルス周波数変調方式の演算と組み合わせると、ネットワークを使用している間に動作特性が徐々に変化する適応学習機能が実現できること、このトランジスタを SOI 基板上に規則的に配列すると、重み付けした積和演算を実行するためのシナプス結合回路が高密度に形成できることなどを示した【3】。また実験的には、強誘電体ゲートトランジスタを組み込んだ集積回路を作製して、デジタル演算処理を必要とせずに、材料の特性に基づいて学習するニューロチップを世界で初めて実現した【4】。この成果は、ハードウェア的にニューラルネットワークを学習させるという今日の研究の先駆けと言えるものである。

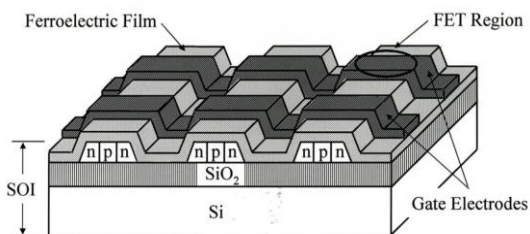


図2 提案した SOI 基板上の積和演算回路³⁾

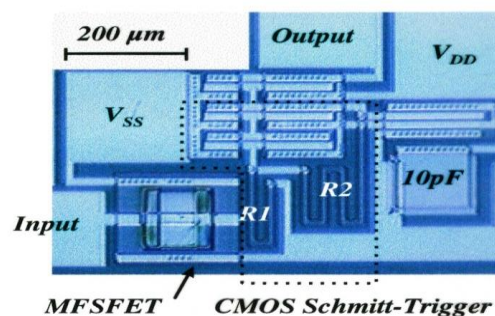


図3 SOI 基板上に作製した学習型ニューロチップ⁴⁾

2. 3 強誘電体メモリの高性能化に関する研究

石原は、強誘電体メモリの一層の大容量化、高速化、低消費電力化を図る研究において大きな成果をあげた。これらの目標を同時に達成するためには、新規強誘電体材料の探索に加えて、メモリセル構造の最適化が重要であると考え、技術的困難さからこれまで研究が放置されてきた強誘電体ゲートトランジスタを用いるセル構造の研究を、産官学の共同研究（NEDO: 次世代強誘電体メモリの研究開発、1999-2004）として推進した。この研究では、1つのメモリセルを1つの強誘電体ゲートトランジスタのみで構成する高密度のセル構造を提案すると共に、印加した電圧履歴に応じて蓄積電荷量に変化する強誘電体キャパシタの回路モデルを新たに考案して、メモリ

回路動作の高精度シミュレーションを実現した。

また、実験的には、ゲート強誘電体膜と Si 基板との間にハフニア (HfO_2) の薄膜を挿入すると、構成元素の拡散を防止でき、データ保持期間がそれまでの報告よりも 10 倍以上長くなることなどを明らかにした【5】。これらの研究成果が契機となり、またゲート材料のさらなる改良もあって、現在では強誘電体ゲートトランジスタは、メモリ用途のみならず、電流のオン・オフを高速低電圧で行う演算用としても活発に研究されている。

石原は、新規強誘電体材料についても探索を進め、代表的な強誘電体材料であるチタン酸ジルコン酸鉛 ($\text{Pb}(\text{Ti,Zr})\text{O}_3$) やタンタル酸ビスマストロンチウム

($\text{SrBi}_2\text{Ta}_2\text{O}_9$) に Si 元素を添加すると、薄膜化した場合の強誘電特性が顕著に向上し、低電圧での動作が可能になること【6】、蓄積電荷量は大きいものの、リーク電流が大きいために室温で使用できなかったビスマスフェライト (BiFeO_3) のリーク電流低減には、マンガン (Mn) 元素の添加が有効なことなどを明らかにした【7】。さらに、P(VDF-TrFE) (ポリ弗化ビニリデンと三弗化エチレンとの共重合体) などのテフロン系の有機強誘電体膜でも、極薄膜にすることにより 3V 程度の低電圧動作が可能なことなどを明らかにし、プラスチック基板を用いた有機強誘電体メモリの可能性を拓いた【8】。このように、石原は世界における強誘電体メモリの研究を主導した。

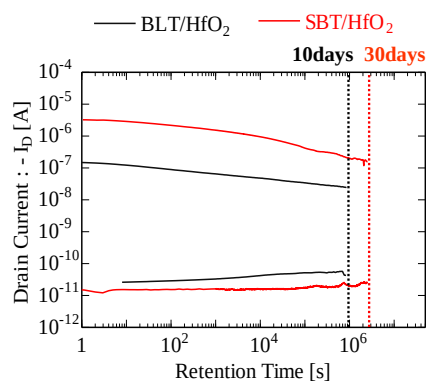


図4 強誘電体ゲートトランジスタのデータ保持特性⁵⁾

3. 研究成果の波及効果ならびに研究以外の活動

3. 1 研究成果の波及効果

石原の Si ヘテロ構造デバイスの研究は、Si 基板上に単結晶の絶縁膜や導電膜を成長させてヘテロ構造を形成するものであり、その新規性から Mater. Res. Soc. に新しいシンポジウム分野が創設された。石原は、このシンポジウムのオーガナイザーを勤めた (1988) ほか、このシンポジウムや Electrochem. Soc. の関連シンポジウムで Si ヘテロ構造デバイスに関連する招待講演を 18 回行っている。今日では、電気的特性や磁気的特性が大きく異なる絶縁膜や導電膜を単結晶膜として積層するという手法は、量子効果デバイスを初め、超伝導デバイスやスピントロニクスデバイスを高性能化するのに必須の技術として広く普及している。

強誘電体メモリに関しても、研究業績の項で述べたような成果を挙げており、強誘電体メモリに関する専門の国際会議や Mater. Res. Soc. のシンポジウム、さらには IEEE 主催の国際電子デバイス会議 (IEDM) やデバイス研究コンファレンス (DRC) において、合計 40 回の招待講演を行っている。さらに、産官学の共同研究により開発した強誘電体キャパシタの回路モデルは、企業における開発や生産の現場において、メモリの回路動作の高精度シミュレーションに用いられており、この成果に対して、産学連携功労者表彰日本経団連会長賞が授与されている (2011)。

論文に関しては、石原は下記の代表的な論文を含めて 400 編以上の原著論文を著しており、被引用回数は合計で 9,000 回以上、h-index は 50 (50 回以上引用された論文が 50 編) である。これらより、研究成果の学問的な波及効果、ならびに学会活動への貢献は極めて大きいと言える。

3. 2 研究以外の活動

石原は、東京工業大学における教育、研究活動に加えて、2010年3月より2013年8月まで、韓国政府が創設した World Class University プログラムの下で、建国大学物理学科に客員教授として招聘され、教育、研究活動を通して、日韓の学術交流に貢献した。

また、応用物理学会常任理事（1991-1992）、応用電子物性分科会幹事長（1992-1993）、副会長（2006-2007）、会長（2008-2009）、第36回国際固体素子・材料コンファレンス 組織委員長（2004）、電気学会 C 部門技術委員会委員長（2000-2002）、電子情報通信学会和文論文誌（C）論文委員長（1991-1992）、シリコン材料・デバイス研究専門委員会委員長（1996-1997）、エレクトロニクスソサエティ会長（2000）、米国 Applied Physics Review 誌編集委員（1992-2011）、米国電気化学会（ECS）日本支部長（1999）、日本学術会議第3部会員（2008.10-2014.9）、電気電子工学委員会委員長（2011.10-2014.9）、連携会員（2014.10-2019.9）などの職を勤め、わが国の学術、産業ならびに学会の発展に貢献した。さらに、研究費の助成や研究業績の顕彰を目的としている旭硝子財団、カシオ科学振興財団、丸文財団、稲盛財団、キヤノン財団、市村清新技術財団、安藤研究所などの理事、評議員、選考委員などを勤め、一部については現在も勤めている。

【主な発表論文】 （被引用回数は Research gate (2021.12.13) による）

1. S.Saitoh, H.Ishiwara and S.Furukawa; "Double heteroepitaxy in the Si(111)/CoSi₂/Si structure", Appl. Phys. Lett., 37 (1980) 203 【被引用回数 174 回】
2. H.Ishiwara and T.Asano; "Silicon/insulator heteroepitaxial structures formed by vacuum deposition of CaF₂ and Si", Appl. Phys. Lett., 40 (1982) 66 【被引用回数 173 回】
3. H.Ishiwara, "Proposal of adaptive-learning neuron circuits with ferroelectric analog-memory weights", Jpn. J. Appl. Phys., 32 (1993) 442 【被引用回数 156 回】
4. S-M.Yoon, E.Tokumitsu and H.Ishiwara; "Ferroelectric neuron integrated circuits using SrBi₂Ta₂O₉-gate FET's and CMOS Schmitt-trigger oscillators" IEEE Trans. on Electron Devices, 47 (2000) 1630 【被引用回数 25 回】
5. K.Aizawa, B-E.Park, Y.Kawashima, K.Takahashi and H.Ishiwara; "Impact of HfO₂ buffer layers on data retention characteristics of ferroelectric-gate field effect transistors", Appl. Phys. Lett., 85 (2004) 3199 【被引用回数 103 回】
6. T.Kijima and H.Ishiwara; "Si-substituted ultrathin ferroelectric films", Jpn. J. Appl. Phys., 41 (2002) L716 【応用物理学会論文賞受賞：被引用回数 62 回】
7. S.K.Singh, H.Ishiwara, and K.Maruyama; "Room temperature ferroelectric properties of Mn-substituted BiFeO₃ thin films deposited on Pt electrodes using chemical solution deposition", Appl. Phys. Lett., 88 (2006) 262908 【被引用回数 343 回】
8. S.Fujisaki, H.Ishiwara, and Y.Fujisaki; "Low-voltage operation of ferroelectric poly(vinylidene fluoridetrifluoroethylene) copolymer capacitors and metal-ferroelectric-insulator-semiconductor diodes", Appl. Phys. Lett., 90 (2007) 162902 【被引用回数 176 回】

(2021-12-13 石原宏-談)